Міністерство освіти і науки України

Центральноукраїнський національний технічний університет

**МЕХАНІКО-ТЕХНОЛОГІЧНИЙ ФАКУЛЬТЕТ**

Кафедра програмування та захисту інформації

**Звіт**

з виконаної лабораторної роботи № 4

дисципліни “ Архітектура комп’ютерів”

на тему

«Програмування відеоадаптера та текстової відеопам’яті

комп’ютера у реальному режимі адресації.»

Виконав :

студент академічної групи КІ-15

Аннаєв А. \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Перевірив :

Викладач

Минайленко Р. М.\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Кропивницкий- 2017

**Лабораторная работа № 4**

**Тема**: Контроллер прямого доступа к памяти.

**Цель**: Познакомиться с основами работы и программирования контроллера прямого доступа к памяти.

Задание:

Разработать программу, которая инициализирует DMA на запись блока данных на дискету.

листинг

DI ; запрет прерываний

MVI A, 28H ; загрузки управляющего слова

OUT 0BH ; в регистр режима

MVI A, 1АH ; загрузки управляющего слова

OUT 08H ; в регистр команд

MVI A, 00H ; загрузка младшего байта адреса

OUT 00H (0кан.) массива в порт

MVI A, 40H ; загрузки старшего байта адреса

OUT 00H (0кан.) массива в порт

MVI A, 01H ; загрузки номера страницы памяти

OUT 87H (0кан.) в порт канала

MVI A, F4H ; загрузка младшего байта счетчика циклов

OUT 01H (0кан.) в порт канала (244 цикла)

MVI A, 00H ; загрузки старшего байта счетчика циклов

OUT 01H ; в порт канала

EI ; дозвилпереривань

Выводы: В ходе выполнения лабораторной работы 3 я познакомилась с основами работы и программирования контроллера прямого доступа к памяти.

Контрольные вопросы:

1. Назначение КПДП.

Контроллер прямого доступа к памяти (ПДП, DMA - DirectMemory Access) обеспечивает высокоскоростной обмен данными между устройствами ввода-вывода и ОЗУ без использования центрального процессора, позволяет освободить процессор для выполнения вычислений параллельно с обменом и независимо от него.

2. Режимы работы.

1. Режим одиночной передачи (SignleTransferMode).

После каждого цикла передачи контроллер освобождает шину процессору, но сразу же начинает проверку сигналов запроса и, как только обнаруживает активный сигнал запроса, инициирует следующий цикл передачи.

2. Режим блочной передачи (BlockTransferMode).

В этом режиме наличие сигнала запроса требуется только до момента выдачи контроллером сигнала «Подтверждение запроса на ПДП» (DACK), после чего шина не освобождается до завершения передачи всего блока.

3. Режим передачи по требованию (DemandTransferMode).

Данный режим является промежуточным между двумя первыми: передача идет непрерывно до тех пор, пока активно сигнал запроса, состояние которого проверяется после каждого цикла передачи. Как только устройство не может продолжить передачу, сигнал запроса сбрасывается им и контроллер прекращает работу. Этот режим применяется для обмена с медленными устройствами, не позволяют по своим временным характеристикам работать с ПДП в режиме блочной передачи.

4. Каскадный режим (CascadeMode).

Режим позволяет включить в подсистему ПДП более одного контроллера в тех случаях, когда недостаточно четырех каналов ПДП. В этом режиме один из каналов ведущего контроллера используется для каскадирования с контроллером второго уровня. Для работы в каскаде сигнал HRQ ( «Запрос на захват") ведомого контроллера подается на вход DREG ( «Запрос на канал ПДП») ведущего, а сигнал DACK ( «Подтверждение запроса») ведущего подается на вход HDLA ( «Питвердження захвата») известного .

3. Принцип работы КПДП;

В работе ПДП различаются 2 главных цикла: цикл ожидания (Idle cycle) и активный цикл (Active cycle). Каждый цикл подразделяется на ряд состояний, занимающих по времени один период времени (тик). Из цикла ожидания контроллер может быть переведен в состояние программирования (Program Condition) путем подачи на вход RESET сигнала высокого уровня, длительностью не менее 300 нс и следующей за ним подачи сигнала низкого уровня (уровня 0) на вывод CS (Chip Select). В состоянии программирования контроллер будет находится до тех пор, пока на выводе CS сохранится сигнал низкого уровня. В процессе программирования контроллеру задаются:

- начальный адрес памяти для обмена;

- уменьшенное на единицу число передаваемых байтов;

- направление обмена, а также устанавливаются необходимые режимы работы (разрешить или запретить циклическое изменение приоритетов, авто-инициализацию, задать направление изменения адреса при обмене и т.д.).